

PARK, June-Ho et al.  
Dec. 28, 2001  
BSKB, LLP  
(703) 205-8000  
3430-0174A  
2 of 2



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 특허출원 2001년 제 30699 호  
Application Number PATENT-2001-0030699

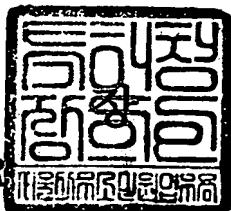
출원년월일 : 2001년 06월 01일  
Date of Application JUN 01, 2001

출원인 : 엘지.필립스 엘시디 주식회사  
Applicant(s) LG.PHILIPS LCD CO., LTD.



2001 년 10 월 31 일

특 허 청  
COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2001.06.01
【발명의 명칭】	반사투과형 액정표시장치용 어레이기판과 그 제조 방법
【발명의 영문명칭】	A Transflective LCD and method for fabricating thereof
【출원인】	
【명칭】	엘지 .필립스엘시디(주)
【출원인코드】	1-1998-101865-5
【대리인】	
【성명】	정원기
【대리인코드】	9-1998-000534-2
【포괄위임등록번호】	1999-001832-7
【발명자】	
【성명의 국문표기】	최재식
【성명의 영문표기】	CHOI, JAE SIK
【주민등록번호】	740823-1122833
【우편번호】	730-360
【주소】	경상북도 구미시 진평동 642-3
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 정원기 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	9 면 9,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	14 항 557,000 원
【합계】	595,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

### 【요약서】

#### 【요약】

본 발명은 액정표시장치에 관한 것으로 특히, 폴리실리콘 박막트랜지스터를 포함하는 고 개구율 반사투과형 액정표시장치에 관한 것이다.

종래에는 고개구율 반사투과형 액정표시장치에 구성되는 반투과전극 중 반사전극을 구성할 경우, 유기절연막 상부에 구성된 투명전극의 상부에 절연막을 개재하여 반사판을 구성하였다.

이때, 상기 반사판은 상기 절연막의 일부를 제거하여 구성한 콘택홀을 통해 상기 투명전극으로 접촉한다.

전술한 바와 같은 종래의 구성은 복잡한 공정을 통해 제작되기 때문에, 생산비의 증가와 함께 생산성이 감소하는 문제가 있다.

이를 해결하기 위해, 상기 반사판을 상기 유기절연막의 상부에 구성하는 동시에, 상기 유기절연막의 파티클(particle)에 의해 증착장비가 오염되어 상기 반사전극의 증착상태가 좋지 않은 결과를 예상하여, 상기 반사판과 유기절연막의 사이에 장벽층(barrier layer)을 구성한다.

이와 같이 하면, 공정단순화와 함께 상기 반사판 형성 시 유기막 파티클에 의한 증착불량이 발생하지 않으므로 생산성이 개선되는 장점이 있다.

#### 【대표도】

도 3f

**【명세서】****【발명의 명칭】**

반사투과형 액정표시장치용 어레이기판과 그 제조방법{A Transflective LCD and method for fabricating thereof}

**【도면의 간단한 설명】**

도 1은 종래의 반사투과형 액정표시장치용 어레이기판의 일부를 개략적으로 도시한 평면도이고,

도 2a 내지 도 2f는 도 1의 IV-IV<sup>`,</sup>, V-V<sup>`,</sup>, VI-VI<sup>`</sup>를 절단하여, 종래의 공정 순서에 따라 도시한 공정 단면도이고,

도 3a 내지 도 3f는 도 1의 IV-IV<sup>`,</sup>, V-V<sup>`,</sup>, VI-VI<sup>`</sup>을 절단하여, 본 발명의 공정순서에 따라 도시한 공정 단면도이다.

**<도면의 주요부분에 대한 부호의 설명>**

130 : 기판

132 : 제 1 절연막(버퍼층)

138 : 제 2 절연막(게이트 절연막)

140 : 게이트 전극

143 : 제 1 스토리지 전극

144 : 게이트 패드

146 : 제 3 절연막(충간 절연막)

150 : 소스전극

152 : 드레인전극

154 : 데이터배선

158 : 제 4 절연막

160 : 제 6 절연막

162 : 드레인 콘택홀

164 : 게이트패드 콘택홀

166 : 데이터패드 콘택홀

171 : 게이트패드 단자

174 : 데이터패드 단자

175 : 제 7 절연막

### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <14> 본 발명은 액정표시장치(Liquid crystal display device)에 관한 것으로 특히, 폴리실리콘 박막트랜지스터(Poly silicon TFT)를 포함한 고개구율 반사투과형 액정표시장치(Transflective liquid crystal display device)에 관한 것이다.
- <15> 일반적으로 반사투과형 액정표시장치는 투과형 액정표시장치와 반사형 액정표시장치의 기능을 동시에 지닌 것으로, 백라이트(back light)의 빛과 외부의 자연광원 또는 인조광원을 모두 이용할 수 있으므로 주변환경에 제약을 받지 않고, 전력소비(power consumption)를 줄일 수 있는 장점이 있다.
- <16> 따라서, 반사투과형 액정표시장치의 상업적 적용에 관한 관심이 높아지고 있으며 이에 따른 연구가 활발히 진행되고 있다.
- <17> 이하, 도면을 참조하여 종래의 반사투과형 액정표시장치용 어레이기판의 구조와 제작방법을 설명한다.
- <18> 이하, 도 1은 종래의 반사투과형 액정표시장치용 어레이기판의 일부를 도시한 확대평면도이다.

- <19> 반사투과형 어레이기판(30)은 평면적으로, 상기 화소영역(P)에 구성된 화소 전극(63,72)의 구성을 제외한 부분은 상기 투과형 어레이기판의 구조와 실질적으로 동일하다. 즉, 투명한 절연기판(30)상에 스위칭소자인 박막트랜지스터(T)가 매트릭스 형태(matrix type)로 위치하고, 이러한 다수의 박막트랜지스터(T)를 교차하여 지나가는 게이트배선(41)과 데이터배선(54)이 형성된다.
- <20> 상기 박막트랜지스터(T)는 폴리실리콘을 액티브층으로 형성한 폴리실리콘 박막트랜지스터로, 게이트전극(40)을 소스전극(40)및 드레인전극(50)하부에 구성한 코플라나(coplanar)구조이다.
- <21> 상기 게이트배선(41)과 데이터배선(54)의 일 측 끝단에는 외부로부터 신호를 입력받는 게이트패드(44)와 데이터패드(56)가 구성되며, 상기 각 패드(44,56)은 투명도전막으로 형성된 게이트패드 단자(64)와 데이터 패드단자(66)와 접촉하여 구성된다.
- <22> 상기 박막트랜지스터(T)는 게이트전극(40)과 소스전극(50)및 드레인전극(52)과 상기 게이트전극(40) 상부에 구성된 액티브층(36)을 포함한다
- <23> 상기 액티브층은 상기 화소영역 상에 소정면적으로 연장된 확장부(37)를 가진다.
- <24> 전술한 구성에서, 상기 게이트배선(41)과 동일물질로 스토리지 배선(42)이 구성되며, 상기 스토리지 배선(42)은 다수의 화소영역(P)을 거쳐 일 방향으로 구성된다.

- <25> 전술한 구성에서, 상기 스토리지 배선(42)은 상기 화소영역(P)의 상부에서 소정면적을 가지도록 확장된 확장영역(43)을 포함한다.
- <26> 상기 스토리지 배선(42)의 확장영역(43) 상부에는, 상기 투명한 화소전극(63)을 노출하는 제 2 드레인 콘택홀(48b)을 통해 상기 화소전극(63)과 접촉하는 반사전극(72)이 적층된다.
- <27> 상기 화소전극(63)은 상기 드레인전극(52)을 노출하는 제 1 드레인 콘택홀(62)을 통해 상기 드레인전극(52)과 접촉하여 구성된다.
- <28> 이와 같은 구성에서, 상기 화소영역(P)에는 스토리지 용량부(C)와 반사부(E)가 동시에 구성된다.
- <29> 즉, 상기 액티브층의 확장부(37)와 상기 스토리지 배선(42)의 확장영역(43)이 각각 제 1, 제 2 캐패시터전극의 기능을 하는 제 1 스토리지 용량부와, 상기 스토리지 배선의 확장영역(43)과 상기 화소전극(63)이 각각 제 1, 제 2 캐패시터전극의 기능을 하는 제 2 스토리지 용량부가 그것이다.
- <30> 또한, 상기 스토리지 용량부(C)의 상부에는 반사판(72)이 구성되어 있기 때문에 화소영역(P)의 반사부(E)에 해당된다. 물론 상기 반사부를 제외한 나머지 화소영역은 투과부(F)에 해당한다.
- <31> 이하, 도 2a와 도 2f를 참조하여 종래의 반사투과형 액정표시장치용 어레이기판의 제작방법을 간단히 살펴본다.( 이하, 설명 중 공정을 나타내는 도면에 나타나지 않은 도면부호는 도 1의 도면부호를 참조한다.)

<32> 도 2a와 도 2f는 도 1의 IV-IV<sup>`,</sup>, V-V<sup>`,</sup>, VI-VI<sup>`</sup>를 따라 절단하여 공정순서에 따라 도시한 공정단면도이다.

<33> 먼저, 도 2a에 도시된 도면은 기판(30)상에 실리콘 산화막(SiO<sub>2</sub>)과 실리콘 질화막(SiN<sub>X</sub>)으로 구성된 무기절연물질 그룹중 하나를 증착하여 제 1 절연막(32)을 형성하고, 상기 제 1 절연막(32) 상부에 비정질 실리콘(a-Si:H)을 증착하여 비정질 반도체층(34)을 형성하는 공정이다.

<34> 상기 제 1 절연막(32)은 버퍼층(buffer layer)이라고도 하며 추후 공정 중, 기판(30)내부에서 용출되는 알카리 물질이 확산되는 것을 방지하기 위함이다.

<35> 상기 비정질 실리콘층(34)은 소정의 결정화방법으로 폴리실리콘층(poly silicon)으로 결정화 한다.

<36> 상기 결정화 방법은 고상결정화 방법, 금속 유도결정화 방법, 레이저를 이용한 결정화 방법, FE-MIC 결정화방법 등을 이용할 수 있다.

<37> 이후, 도 2b 공정에서 상기 폴리실리콘층을 아일랜드 형상의 반도체층(36)으로 패터닝하고, 상기 반도체층(36) 상부에 제 2 절연막인 게이트 절연막(38)을 형성하고, 연속하여 도전성 금속을 증착한다.

<38> 상기 증착된 금속막을 패턴하여 게이트 전극(40)과 게이트배선(41)을 형성 한다. 상기 반도체층(36)은 화소영역(P)으로 확장되어 구성된 확장부(37)를 가진다.

<39> (상기 확장부의 역할은 이후 공정의 마지막 단계에서 설명하기로 한다.)

<40> 상기 게이트배선(41)의 일 끝단에는 소정면적으로 형성되고 외부로부터 신호전압을 인가받는 게이트패드(44)를 형성한다.

<41> 동시에, 상기 게이트배선(41)과 소정간격 이격하여 평행하게 스토리지 배선(43)을 형성하며, 상기 스토리지 배선(42)중 상기 화소영역(P)상부를 지나는 부분은 소정면적으로 확장된 확장영역(43)을 가진다.

<42> 상기 아일랜드(36)는 두 개의 영역으로 구분될 수 있으며, 제 1 액티브 영역(A)은 순수 실리콘 영역이고, 제 2 액티브 영역(B)은 불순물 영역이 그것이다. 상기 제 2 액티브 영역(B)은 상기 제 1 액티브 영역(A)의 양 가장자리에 위치하고 있다.

<43> 그리고, 상기 게이트 절연막(38) 및 상기 게이트 전극(40)은 상기 제 1 액티브 영역(A) 상에 형성된다.

<44> 상기 게이트 전극(40) 형성 후에 상기 제 2 액티브 영역(B)에 저항성 접촉층을 형성하기 위해 이온도핑(iion doping)을 한다. 이 때, 상기 게이트전극(40)은 상기 제 1 액티브영역(A)에 도편트(dopant)가 침투하는 것을 방지하는 이온스타퍼(Ion-stopper)의 역할을 하게 된다. 상기 이온도핑 시 도편트의 종류에 따라 상기 실리콘 아일랜드(36)의 전기적 특성이 바뀌게 되며, 상기 도편트가  $B_2H_6$  등의 3족 원소가 도핑이 되면 P-형 반도체로,  $PH_3$  등의 5족 원소가 도핑이 되면 N-형 반도체로서 동작을 하게 된다. 상기 도편트는 반도체 소자의 사용 용도에 따라 적절한 선택이 요구된다. 상기 이온 도핑 공정 후에 상기 도편트를 활성화하는 공정으로 진행된다.

<45> 다음으로, 도 2c에 도시한 바와 같이, 상기 게이트 전극(40)과 제 2 액티브 영역(B)및 제 1 절연막(32)및 제 2 절연막(38)의 전면에 걸쳐 제 3 절연막인 층간 절연막(Inter layer insulator ; 46)을 증착하고 패터닝하여, 상기 제 2 액티브 영역(B)에 각각 소스/드레인 콘택홀(48a, 48b)을 형성한다.

<46> 다음으로, 상기 소스/드레인 콘택홀(48a,48b)이 형성된 기판(30)의 상부에 알루미늄(Al), 알루미늄 합금, 텉스텐(W), 구리(Cu), 크롬(Cr), 몰리브덴(Mo)등이 구성된 도전성 금속그룹 중 선택된 하나를 증착하고 패턴하여, 상기 소스/드레인 콘택홀(48a,48b)을 통해 좌.우 불순물영역(B)과 각각 접촉하는 소스전극 및 드레인전극(50,52)을 형성한다.

<47> 이와 동시에, 상기 소스전극(50)과 접촉하는 데이터배선(54)과 상기 데이터배선(54)의 일 끝단에 소정면적으로 데이터 패드(56)를 형성한다.

<48> 이와 같은 공정으로 비로소 폴리실리콘 박막트랜지스터(T)가 완성된다.

<49> 다음으로, 도 2d에 도시한 바와 같이, 상기 박막트랜지스터(T)가 구성된 기판(30)의 전면에 절연물질을 증착하여 제 4 절연막(58)을 형성한 후, 상기 박막트랜지스터의 수소화를 위해 진행하기 위해 열처리공정을 진행한다.

<50> 상기 수소화 공정은 상기 액티브층의 표면에 발생한 디펙트를 제거하기 위한 것으로, 수소원자들이 상기 액티브채널의 표면에 발생한 격자결함을 채워주는 역할을 하여 액티브층 표면의 전도특성을 개선한다.

<51> 열처리 후, 상기 제 4 절연막(58) 상부에 고 개구율을 위해, 벤조사이클로부텐(Benzocyclobutene)과 아크릴(Acryl)계 수지(resin)를 포함하는 투명 유기절연물질 그룹 중 선택된 하나를 도포하여 제 5 절연막(60)을 형성한다.

<52> 다음으로, 제 5 절연막(60)과 그 하부의 다수의 절연막의 일부를 동시에 패터닝하여, 상기 드레인전극(52)을 노출하는 제 1 드레인 콘택홀(62)과, 상기 게이트패드(44)를 노출하는 게이트패드 콘택홀(61)과 상기 데이터패드(56)를 노출하는 데이터패드 콘택홀(65)을 형성한다.

<53> 다음으로, 도 2e에 도시한 바와 같이, 상기 패턴된 제 5 절연막(60)의 상부에 인듐-틴-옥사이드(Indium-tin-oxide)와 인듐-징크-옥사이드(Indium-zinc-oxide)로 구성된 투명 도전성 금속그룹 중 선택된 하나를 증착하고 패턴하여, 상기 노출된 드레인전극(52)과 접촉하는 동시에 상기 화소영역(P)상에 연장 형성된 화소전극(63)과, 상기 노출된 게이트패드(44)와 접촉하는 게이트 패드 단자(64)와, 상기 노출된 데이터패드(56)와 접촉하는 데이터 패드 단자(66)를 형성한다.

<54> 다음으로, 도 2f에 도시한 바와 같이, 상기 화소전극(63)이 형성된 기판(30)의 전면에 실리콘 옥사이드(SiO<sub>2</sub>)와 실리콘 질화막(SiN<sub>x</sub>)을 얇게 증착하여, 제 6 절연막(68)을 형성한다.

<55> 다음으로, 상기 제 6 절연막(58)을 패터닝하여, 상기 드레인전극(52)과 접촉하는 부분의 화소전극(62)의 상부를 노출하는 제 2 드레인 콘태홀(70)을 형성한다.

<56> 다음으로, 상기 제 2 드레인 콘택홀(70)이 형성된 기판(30)의 전면에 알루미늄(A1), 알루미늄 합금을 포함하는 도전성 금속그룹 중 선택된 하나를 증착하고 패턴하여, 상기 화소영역(P) 상부에 소정면적으로 구성되고, 상기 드레인전극(52) 상부에 노출된 화소전극(62)과 접촉하는 반사전극(72)을 형성한다.

<57> 다음으로, 상기 반사전극(72)이 패턴되어 노출된 상기 제 6 절연막(68)을 다시 패턴하여 상기 게이트패드 단자전극(64)과 상기 데이터패드 단자전극(66)을 노출하는 제 1 식각홀(74)과 제 2 식각홀(76)을 형성한다.

<58> 상기 각 단자전극(64, 66)을 노출하는 공정을 마지막으로 진행하는 이유는 상기 반사전극(72)을 식각하는 식각용액에 상기 반사전극(72)과 상기 투명 화소전극(63)이 동시에 노출되는 경우를 방지하기 위함이다.

<59> 전술한 바와 같은 방법으로 종래의 폴리실리콘 박막트랜지스터를 포함한 반사투과형 액정표시장치용 어레이기판을 제작할 수 있다.

### 【발명이 이루고자 하는 기술적 과제】

<60> 그러나, 종래의 고개구울 반사투과형 어레이기판은 다수의 공정을 요구하는 구조이므로 공정이 복잡하여 제품의 생산성이 감소되는 문제가 있다.

<61> 따라서, 전술한 문제를 해결하기 위한 본 발명은 상기 반사판을 상기 투명 전극의 하부에 구성된 유기 절연막의 상부에 구성하는 구조를 도입하되, 상기 유

기절연막의 파티클(particle)에 의한 증착불량을 고려하여 반사판과 유기절연막 사이에 장벽층을 더욱 형성하여 준다.

<62> 따라서, 본 발명은 액정표시장치용 어레이기판을 제작하는데 있어서, 전술한 바와 같은 구조를 도입하여 제품의 생산비를 낮추고 생산성이 향상되는 것을 목적으로 한다.

### 【발명의 구성 및 작용】

<63> 전술한 바와 같은 목적을 달성하기 위한 본 발명에 따른 반사투과형 액정표시장치용 어레이기판은 기판과; 상기 기판 상에 액티브층과 게이트전극과 드레인전극 및 소스전극의 순서로 구성된 박막트랜지스터와; 상기 게이트전극과 연결되고 일 끝단에 소정면적의 게이트패드를 포함하는 게이트배선과, 상기 게이트배선과 소정간격 이격되어 평행하게 구성되는 스토리지배선과; 상기 게이트배선과 교차하여 화소영역을 정의하고, 상기 소스전극과 연결되며 일 끝단에 소정면적의 소스패드를 포함하는 데이터배선과; 상기 박막트랜지스터와 데이터배선의 상부에 형성되는 유기 절연막과; 상기 유기절연막의 상부에 구성되는 무기절연막인 장벽층과; 상기 화소영역에 대응되는 일부 영역이 제거된 형태로, 상기 장벽층 상부의 화소영역 상부에 구성된 반사판과; 상기 반사판의 상부에 절연막을 사이에 두고 구성되고, 상기 드레인전극과 접촉하는 투명한 화소전극을 포함한다.

- <64> 상기 액티브층의 하부에 버퍼층을 더욱 구성할 수 있으며, 상기 버퍼층은 질화실리콘( $\text{SiN}_x$ )과 산화실리콘( $\text{SiO}_2$ )으로 구성된 무기절연물질 그룹 중 선택된 하나로 형성한다.
- <65> 상기 액티브층은 폴리실리콘으로 형성한다.
- <66> 상기 스토리지배선은 바람직하게는 상기 게이트 배선과 동일층 동일물질로 구성한다.
- <67> 상기 반사판은 반사율이 뛰어난 알루미늄과 알루미늄 합금을 포함하는 금속 그룹 중 선택된 하나로 구성한다.
- <68> 상기 화소전극은 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)로 구성 된 투명한 도전성 금속그룹 중 선택된 하나로 구성한다.
- <69> 전술한 구성에서 바람직하게는 상기 반사판은 상기 데이터배선의 상부로 연장되는 동시에 상기 박막트랜지스터를 덮는 형태로 구성한다.
- <70> 상기 장벽층은 질화실리콘( $\text{SiN}_x$ )과 산화실리콘( $\text{SiO}_2$ )으로 구성된 무기절연물질 그룹 중 선택된 하나로 구성한다.
- <71> 상기 박막트랜지스터의 수소화 공정을 진행하기 위해 상기 박막트랜지스터 와 유기절연막의 하부에 절연막을 더욱 구성한다.
- <72> 상기 장벽층을 구성하는 절연막은 바람직하게는 실리콘질화막( $\text{SiN}_x$ )이다.
- <73> 본 발명의 특징에 따른 반사투과형 어레이기판 제조방법은 기판을 준비하는 단계와; 상기 기판 상에 액티브층과 제 1 절연막과 게이트전극과 제 2 절연막과 드레인전극 및 소스전극의 순서로 구성된 박막트랜지스터를 형성하는 단계와; 상

기 게이트전극과 연결되고 일 끝단에 소정면적의 게이트패드를 포함하는 게이트 배선과, 상기 게이트배선과 소정간격 이격되어 평행하게 구성되는 스토리지배선을 형성하는 단계와; 상기 게이트배선과 교차하여 화소영역을 정의하고, 상기 소스전극과 연결되며 일 끝단에 소정면적의 소스패드를 포함하는 데이터배선을 형성하는 단계와; 상기 박막트랜지스터와 데이터배선 상부에 투명한 제 3 절연막인 유기절연막을 형성하는 단계와; 상기 투명한 유기절연막 상부에 제 4 절연막인 장벽층(무기절연막)을 형성하는 단계와; 상기 화소영역에 대응되는 일부 영역이 제거된 형태로, 상기 장벽층 상부의 화소영역 상부에 반사판을 형성하는 단계와; 상기 반사판의 상부에 제 5 절연막을 형성하고 패턴하여, 상기 드레인전극 상부에 드레인 콘택홀을 형성하는 단계와; 상기 반사판의 상부에 구성되고, 상기 드레인 콘택홀을 통해 상기 드레인전극과 접촉하는 투명한 화소전극을 형성하는 단계를 포함한다.

<74> -- 실시예 --

<75> 본 발명은 상기 유기절연막에 의한 증착장비의 오염을 방지하기 위해 상기 반사판과 유기절연막 사이에 장벽층(barrier layer)을 더욱 구성하는 것을 특징으로 한다.

<76> 도 3a 내지 도 3f를 참조하여 본 발명에 따른 반사투과형 액정표시장치용 어레이기판의 제작공정을 설명한다. (구성은 종래와 동일하므로 별도의 설명을 생략한다. 다만 도면부호는 구성이 같은 경우 종래의 번호에 100을 더하여 사용 한다).

- <77> 도 3a 내지 도 3f는 도 1의 IV-IV<sup>`,</sup>, V-V<sup>`,</sup>, VI-VI<sup>`</sup>을 절단하여 본 발명의 공정순서에 따라 도시한 공정 단면도이다.(단 공정 단면도의 구성중 반사판의 형상을 종래의 평면구성과는 다르게 변형함)
- <78> 도 3a에 도시한 바와 같이, 투명 절연기판(130)상에 실리콘 산화막(SiO<sub>2</sub>)과 실리콘 질화막(SiN<sub>x</sub>)으로 구성된 무기절연물질 그룹 중 선택된 하나를 증착하여 제 1 절연막인 버퍼층(buffer layer)(132)을 형성한다.
- <79> 상기 버퍼층(132)은 필수적인 구성요소는 아니며 필요에 따라 구성을 생략할 수 있다.
- <80> 다음으로, 상기 버퍼층(132) 상부에 비정질 실리콘(a-Si:H)을 증착한 후 소정의 방법으로 결정화하여 폴리실리콘층(134)으로 형성한다.
- <81> 다음으로, 도 3b에 도시한 바와 같이, 상기 폴리실리콘층을 패턴하여 아일랜드 형상의 반도체층(136)을 형성한다. 동시에, 상기 반도체층은 화소영역(도 1의 P)으로 연장하여 구성한 연장부(137)를 포함한다.
- <82> 상기 반도체층(136)은 액티브채널(active channel)의 기능을 하는 제 1 액티브영역(A)과, 불순물이 도핑되는 제 2 액티브영역(B)으로 정의한다.
- <83> 상기 반도체층(136)이 형성된 기판(130)의 상부에 실리콘 질화막(SiN<sub>x</sub>)과 실리콘 산화막(SiO<sub>2</sub>)을 포함하는 무기절연 물질 그룹 중 선택된 하나를 증착하여 제 2 절연막인 게이트 절연막(138)을 형성한다.
- <84> 다음으로, 상기 반도체층(136)의 상부에 도전성 금속을 증착하고 패턴하여, 상기 제 1 액티브 영역(A)의 상부에 게이트전극(140)과, 상기 게이트전극(140)과

연결되어 일 방향으로 구성된 게이트배선(141)과, 상기 게이트배선의 일 끝단에 소정면적으로 형성된 게이트패드(144)를 형성한다.

<85> 동시에, 상기 게이트배선(141)과 소정간격 이격하여 평행하게 스토리지 배선(142)을 형성하며, 상기 스토리지 배선(142)중 상기 화소영역(P)상부를 지나는 부분은 소정면적으로 확장된 확장영역(143)을 가진다.

<86> 다음으로, 도 3c에 도시한 바와 같이, 상기 게이트 전극(140)등이 형성된 기판(130)의 전면에 절연물질을 증착하여 제 3 절연막(146)인 층간 절연막(146)을 형성한 후 패턴하여, 상기 제 2 액티브영역(B)으로 정의된 반도체층을 노출하는 제 1 콘택홀과 제 2 콘택홀(148a, 148b)을 형성한다.

<87> 다음으로, 상기 제 3 절연층(146)의 상부에 알루미늄(Al), 알루미늄합금, 크롬(Cr), 텅스텐(W), 몰리브덴(Mo), 네오븀(Nb)을 포함하는 도전성 금속그룹 중 선택된 하나를 증착하고 패턴하여, 상기 노출된 제 2 티 영역(B)에 접촉하는 소스전극(150)과 이와는 소정간격 이격된 드레인전극(152)을 형성한다.

<88> 동시에, 상기 소스전극(150)과 연결되어 일 방향으로 연장되고 일 끝단에 소정면적의 데이터패드(156)를 포함하는 데이터배선(154)을 형성한다.

<89> 상기 데이터배선(154)은 상기 게이트배선(141)과 교차하여 화소영역(P)을 정의한다.

<90> 전술한 바와 같은 공정을 통해 폴리실리콘 박막트랜지스터(T)가 구성된다.

<91> 다음으로, 도 3d에 도시한 바와 같이, 상기 박막트랜지스터(T)상부에 실리콘 질화막과 실리콘 산화막으로 구성된 무기절연물질 그룹 중 선택된 하나를 증착하여 제 4 절연막(158)을 형성한다.

<92> 상기 제 4 절연막(158)을 형성한 후, 상기 박막트랜지스터(T)의 수소화공정을 진행한다.

<93> 상기 수소화공정은 상기 박막트랜지스터에 구성된 액티브층(136)의 표면에 존재하는 격자결함을 상기 수소원자로 대체하기 위한 것으로, 이때 상기 절연막은 바람직하게는 수소를 포함하는 실리콘 질화막( $\text{SiN}_x$ )을 사용한다.

<94> 다음으로, 상기 제 4 절연막(158) 상부에 벤조사이클로부텐(BCB)과 아크릴계 수지 등이 포함된 투명한 유기절연물질 그룹 중 선택된 하나를 증착하여 제 5 절연막(160)을 형성한다.

<95> 다음으로, 상기 제 5 절연막(160) 상에 실리콘 질화막과 실리콘 산화막으로 구성된 무기절연물질 그룹 중 선택된 하나를 증착하여 제 6 절연막인 장벽층(barrier layer)(170)을 형성한다.

<96> 다음으로, 도 3e에 도시한 바와 같이, 상기 장벽층(170) 상부에 반사율이 뛰어난 알루미늄(Al), 알루미늄 합금과 같은 도전성 금속그룹 중 선택된 하나를 증착하고 패턴하여, 상기 화소영역(P)에 반사판(172)을 형성한다.

<97> 상기 반사판(172)은 도시한 바와 같이, 화소영역의 주변에 구성하여 상기 박막트랜지스터를 덮는 동시에, 상기 각 데이터배선(154)과 게이트배선의 상부로

연장 형성하여 구성할 수 도 있고, 상기 스토리지배선의 확장영역(143) 상부에 구성할 수도 있다.

<98>      상기 반사판(172)과 스토리지배선의 확장부(143)는 투과영역과 반사영역으로 구성되는 화소영역의 반사영역을 이루며, 화소영역 내에서 상기 반사영역을 제외한 나머지 영역은 투과영역으로 정의된다.

<99>      따라서, 상기 반사판과 스토리지 전극을 사용하여 보다 효과적으로 투과부와 반사부의 면적비를 조절할 수 있다.

<100>      다음으로, 상기 반사판(172)이 형성된 기판(130)의 전면에 실리콘 질화막( $\text{SiN}_x$ )과 실리콘 산화막( $\text{SiO}_2$ )으로 구성된 무기질연 물질 그룹 중 선택된 하나를 증착하여 제 7 절연막(175)을 형성한다.

<101>      다음으로, 상기 드레인전극(152) 상부의 제 4 절연막(158) 제 5 절연막과 (160)과 장벽층(170)과 제 7 절연막(175)을 식각하여 드레인전극(152)의 일부를 노출하는 드레인 콘택홀(162)을 형성하고, 상기 게이트 패드(144)상부의 제 3, 4, 5 절연막과 장벽층(제 6 절연막)과 제 7 절연막( 146, 158, 160, 170, 175)을 식각하여 게이트 패드(144)를 노출하는 게이트 패드 콘택홀(164)을 형성하고, 상기 데이터패드(156) 상부의 제 4, 5절연막과 장벽층과 제 7 절연막(158, 160, 170, 175)을 식각하여 데이터패드(156)를 노출하는 데이터패드 콘택홀(166)을 형성한다.

<102>      본 발명에서는 상기 콘택홀을 형성하기 위해, 식각가스( $\text{SF}_6$ ,  $\text{CF}_4$ )에 산소( $\text{O}_2$ )가스를 약 65~80% 첨가하여 상기 투명한 유기절연막과 다수의 무기절연

막의 식각을 속도를 유사하게 맞춤으로써, 상기 다수의 콘택홀의 내벽에서 발생하는 언더컷(under-cut)과 역 테이퍼(taper)발생을 제어하도록 하였다.

<103> 다음으로, 도 3f에 도시한 바와 같이, 상기 제 7 절연막(175)상에 인듐-틴-옥사이드(Indium-tin-oxide)와 인듐-징크-옥사이드(Indium-zinc-oxide)를 포함한 투명 도전성 금속그룹 중 선택된 하나를 증착하고 패턴하여 상기 노출된 드레인 전극(52)과 접촉하면서 상기 화소영역(P)상에 구성된 화소전극(168)과, 상기 게이트패드(144)와 접촉하는 게이트패드 단자(171)와 상기 데이터패드(156)와 접촉하는 데이터패드 단자(174)를 형성한다.

<104> 전술한 바와 같은 공정으로 본 발명에 따른 고개구울 반사투과형 액정표시장치를 제작할 수 있다.

### 【발명의 효과】

<105> 전술한 바와 같은 본 발명에 따른 방법으로 반사투과형 어레이기판을 제작하게 되면 아래와 같은 효과가 있다.

<106> 즉, 상기 반사판을 상기 투명전극의 하부에 플로팅된 구조로 구성함으로써 공정단순화 효과가 있다.

<107> 또한, 유기 절연막 상부에 금속층인 반사판을 형성하기 전에 무기 절연막인 장벽층을 형성하여 줌으로써, 유기 절연막의 파티클에 의한 장비의 오염을 방지 할 수 있다.

<108> 따라서, 반사판을 증착할 시 발생하는 공정불량을 방지하여 생산수율을 개선할 수 있다.

<109> 또한, 본 발명의 구조는 각 화소별로 필요한 캐패시턴스와 반사부와 투과부의 비를 조절하기 유리한 구조를 제공한다.

<110> 전술한 바와 같은 식각조건을 도입하여 콘택홀을 균일하게 식각되도록 함으로써 콘택홀에 증착되는 투명전극의 단선을 방지할 수 있다.

**【특허청구범위】****【청구항 1】**

기판과;

상기 기판 상에 액티브층과 게이트전극과 드레인전극 및 소스전극의 순서로 구성된 박막트랜지스터와;

상기 게이트전극과 연결되고 일 끝단에 소정면적의 게이트패드를 포함하는 게이트배선과, 상기 게이트배선과 소정간격 이격되어 평행하게 구성되는 스토리지배선과;

상기 게이트배선과 교차하여 화소영역을 정의하고, 상기 소스전극과 연결되며 일 끝단에 소정면적의 소스패드를 포함하는 데이터배선과;

상기 박막트랜지스터와 데이터배선의 상부에 형성되는 유기 절연막과;

상기 유기절연막의 상부에 구성되는 무기절연막인 장벽층과;

상기 화소영역에서 일부 영역이 제거된 형태로, 상기 장벽층 상부의 화소영역 상부에 구성된 반사판과;

상기 반사판의 상부에 절연막을 사이에 두고 구성되고, 상기 드레인전극과 접촉하는 투명한 화소전극을

포함하는 반사투과형 액정표시장치용 어레이기판.

**【청구항 2】**

제 1 항에 있어서,

상기 액티브층의 하부에 질화실리콘( $\text{SiN}_x$ )과 산화실리콘( $\text{SiO}_2$ )으로 구성된 무기절연물질 그룹 중 선택된 하나로 버퍼층을 더욱 구성하는 반사투과형 액정표시장치용 어레이기판.

### 【청구항 3】

제 1 항에 있어서,  
상기 액티브층은 폴리실리콘으로 구성된 반사투과형 액정표시장치용 어레이기판.

### 【청구항 4】

제 1 항에 있어서,  
상기 스토리지배선은 상기 게이트 배선과 동일층 동일물질로 구성된 반사투과형 액정표시장치용 어레이기판.

### 【청구항 5】

제 1 항에 있어서,  
상기 반사판은 상기 데이터배선의 상부로 연장되는 동시에 상기 박막트랜지스터를 덮는 형태로 구성되는 반사투과형 액정표시장치용 어레이기판.

**【청구항 6】**

제 1 항에 있어서,

상기 반사판은 상기 데이터 배선 또는 상기 게이트배선과 평면적으로 일부 중첩되는 반사투과형 액정표시장치용 어레이기판.

**【청구항 7】**

제 1 항에 있어서,

상기 반사판은 상기 박막트랜지스터를 덮는 형태로 구성되는 반사투과형 액정표시장치용 어레이기판.

**【청구항 8】**

제 1 항에 있어서,

상기 장벽층은 질화실리콘( $\text{SiN}_x$ )과 산화실리콘( $\text{SiO}_2$ )으로 구성된 무기절연 물질 그룹 중 선택된 하나로 구성된 액정표시장치용 어레이기판.

**【청구항 9】**

기판을 준비하는 단계와;

상기 기판 상에 액티브층과 제 1 절연막과 게이트전극과 제 2 절연막과 드레인전극 및 소스전극의 순서로 구성된 박막트랜지스터를 형성하는 단계와;

상기 게이트전극과 연결되고 일 끝단에 소정면적의 게이트패드를 포함하는 게이트배선과, 상기 게이트배선과 소정간격 이격되어 평행하게 구성되는 스토리지배선을 형성하는 단계와;

상기 게이트배선과 교차하여 화소영역을 정의하고, 상기 소스전극과 연결되며 일 끝단에 소정면적의 소스패드를 포함하는 데이터배선을 형성하는 단계와;

상기 박막트랜지스터와 데이터배선 상부에 투명한 제 3 절연막인 유기절연막을 형성하는 단계와;

상기 투명한 유기절연막 상부에 제 4 절연막인 장벽층(무기절연막)을 형성하는 단계와;

상기 화소영역에 대응되는 일부 영역이 제거된 형태로, 상기 장벽층 상부의 화소영역 상부에 반사판을 형성하는 단계와;

상기 반사판의 상부에 제 5 절연막을 형성하고 패턴하여, 상기 드레인전극 상부에 드레인 콘택홀을 형성하는 단계와;

상기 반사판의 상부에 구성되고, 상기 드레인 콘택홀을 통해 상기 드레인전극과 접촉하는 투명한 화소전극을 형성하는 단계를  
을 포함하는 반사투과형 액정표시장치용 어레이기판 제조방법.

## 【청구항 10】

제 9 항에 있어서,

상기 액티브층의 하부에 질화실리콘( $\text{SiN}_x$ )과 산화실리콘( $\text{SiO}_2$ )으로 구성된 무기절연물질 그룹 중 선택된 하나로 베퍼층을 더욱 형성하는 반사투과형 액정표 시장치용 어레이기판 제조방법.

#### 【청구항 11】

제 9 항에 있어서,

상기 스토리지배선은 상기 게이트 배선과 동일층 동일물질로 형성된 반사투과형 액정표시장치용 어레이기판 제조방법.

#### 【청구항 12】

제 9 항에 있어서,

상기 반사판은 상기 데이터배선 또는 게이트배선과 평면적으로 일부 중첩되는 액정표시장치용 어레이기판 제조방법.

#### 【청구항 13】

제 9 항에 있어서,

상기 장벽층은 질화실리콘( $\text{SiN}_x$ )과 산화실리콘( $\text{SiO}_2$ )으로 구성된 무기절연물질 그룹 중 선택된 하나로 형성된 액정표시장치용 어레이기판 제조방법.

1020010030699

출력 일자: 2001/11/1

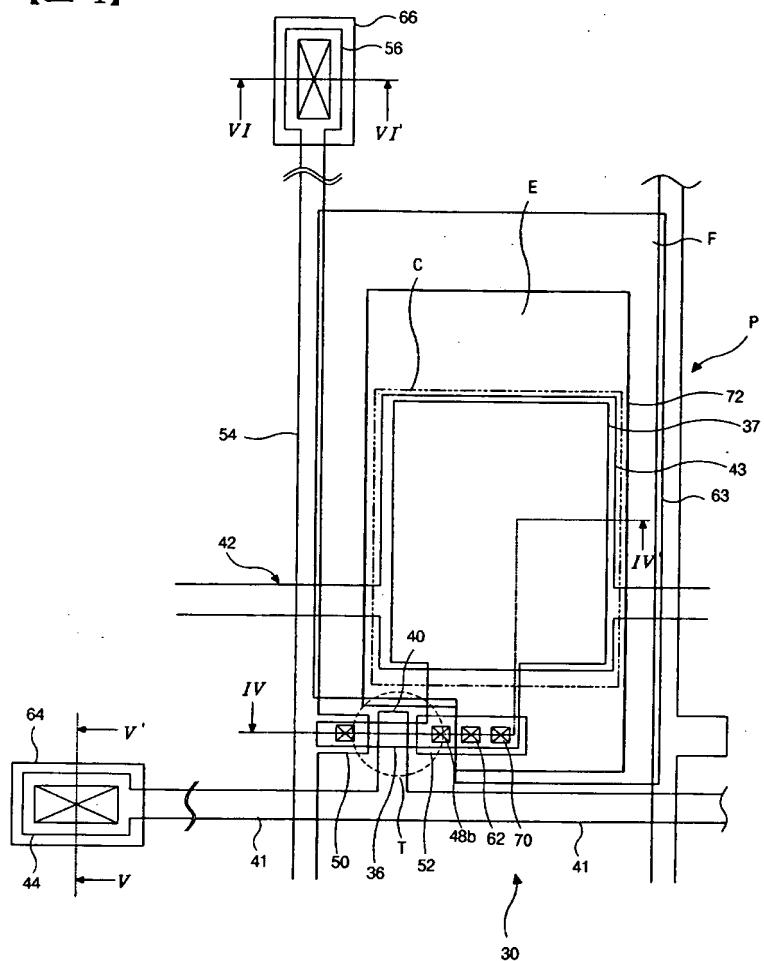
【청구항 14】

제 9 항에 있어서,

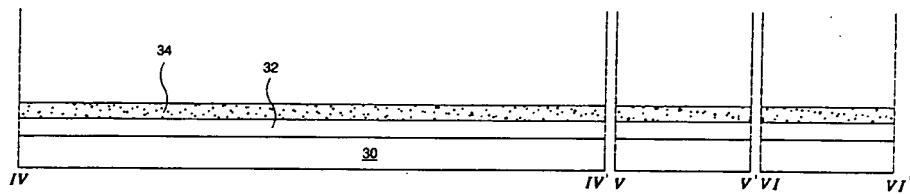
상기 드레인콘택홀은 상기 제 3 절연막과 장벽층(제 4 절연막)과 제 5 절연막의 일부를 산소( $O_2$ )가스를 약 65~80% 첨가한 식각가스( $SF_6$ ,  $CF_4$ )로 동시에 패턴하여 형성된 반사투과형 액정표시장치용 어레이기판 제조방법.

## 【도면】

【도 1】



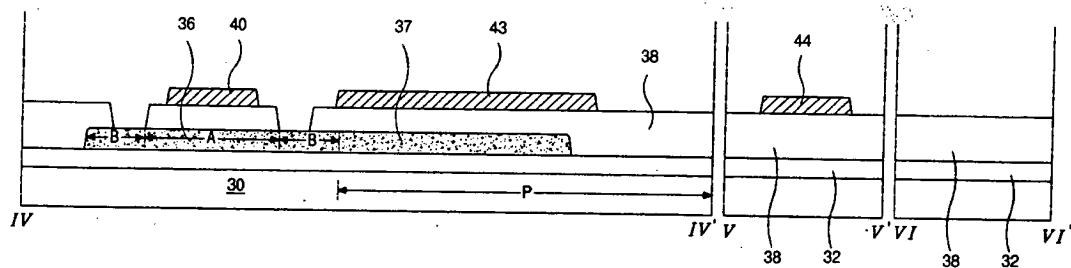
【도 2a】



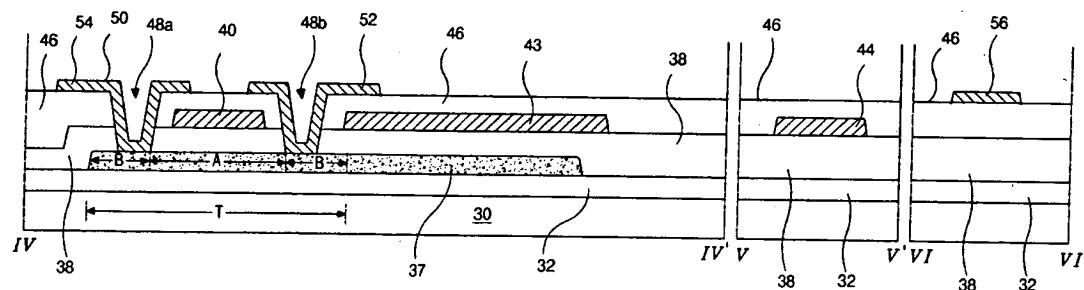
1020010030699

출력 일자: 2001/11/1

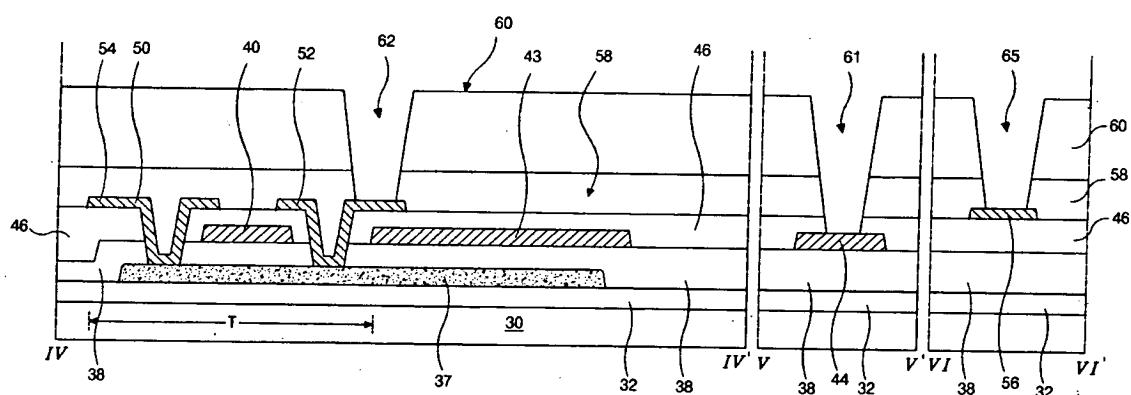
【도 2b】



【도 2c】



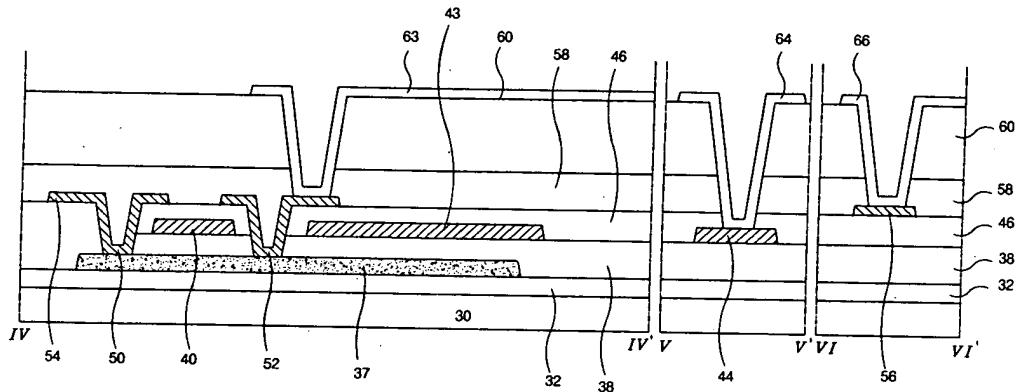
【도 2d】



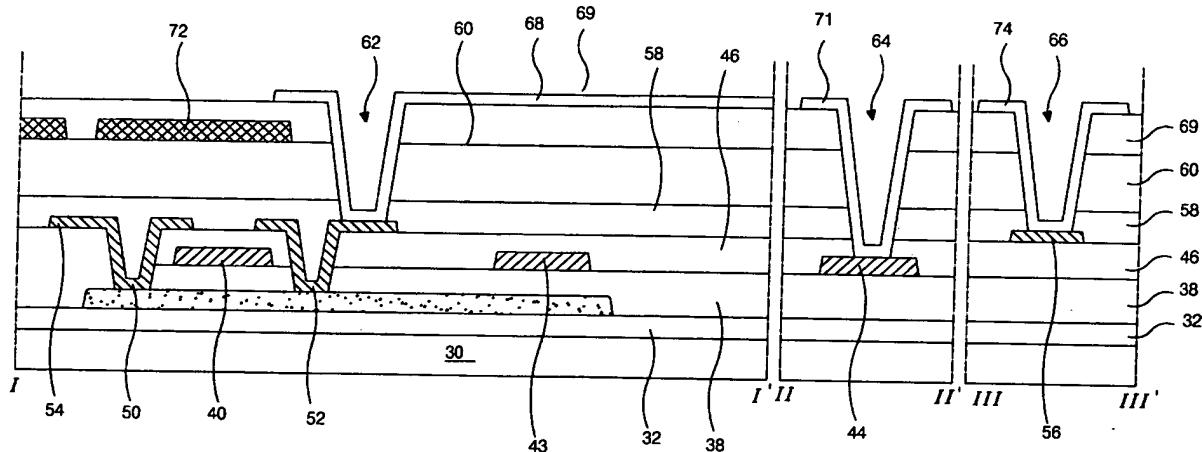
1020010030699

출력 일자: 2001/11/1

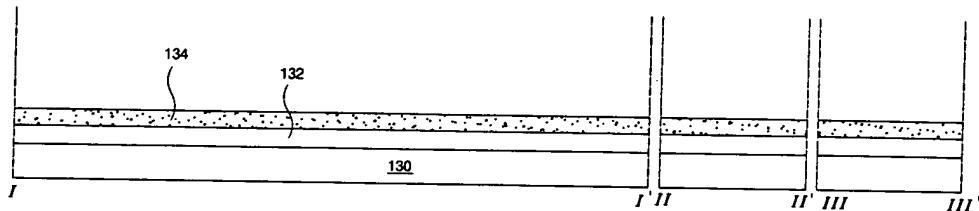
### 【도 2e】



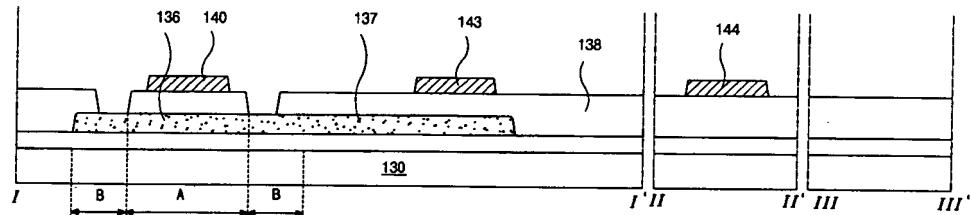
### 【도 2f】



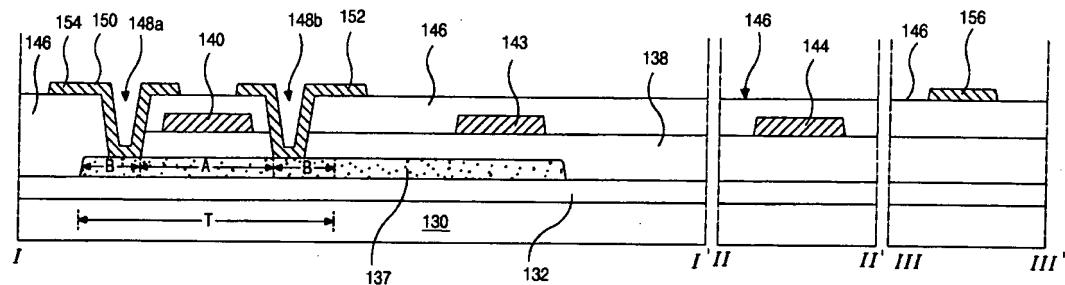
### 【도 3a】



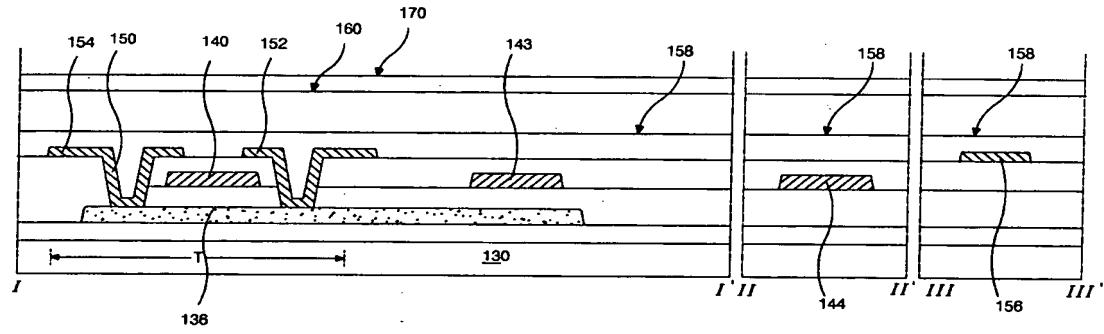
【도 3b】



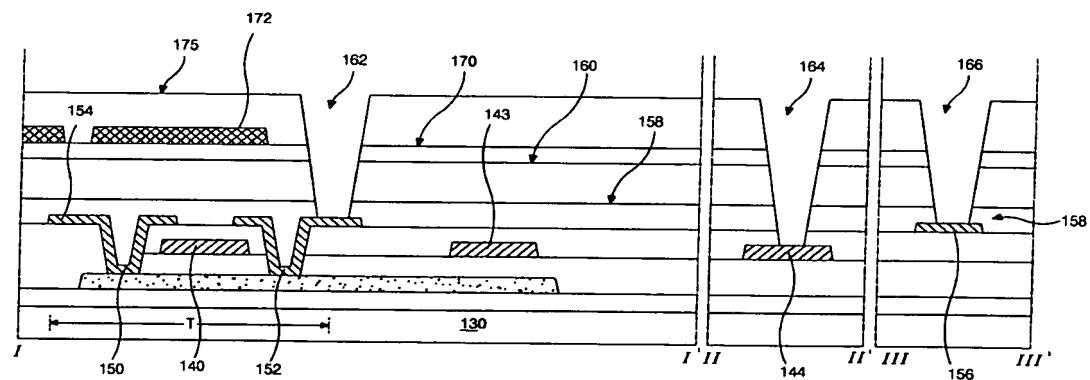
【도 3c】



【도 3d】



【도 3e】



1020010030699

출력 일자: 2001/11/1

【도 3f】

